

DIALOG(R)File 347:JAPIO  
(c) 1999 JPO & JAPIO. All rts. reserv.

00485232  
MATRIX DISPLAY UNIT

PUB. NO.: 54 -137232 [JP 54137232 A]  
PUBLISHED: October 24, 1979 (19791024)  
INVENTOR(s): YONEI HIROSHI  
APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 53-073568 [JP 7873568]  
FILED: June 14, 1978 (19780614)  
INTL CLASS: [2] H04N-003/12; G06K-015/18  
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 45.3 (INFORMATION PROCESSING -- Input Output Units)  
JOURNAL: Section: E, Section No. 161, Vol. 03, No. 156, Pg. 40, December 21, 1979 (19791221)

#### ABSTRACT

PURPOSE: To increase the resolution of the TV video signals by defining the NH of even-number times as much as the H period of the original TV video signal as one horizontal display period and then applying the coding signals of one horizontal period obtained through sampling every NH/M to each picture element.

CONSTITUTION: Gated oscillator circuit f(sub 1) is triggered by the inverse output of preset pulse P(sub 1) to have oscillation with frequency f(sub 1). While gated oscillator circuit f(sub 2) is triggered by the output of NAND circuit N(sub 1) to have oscillation with frequency f(sub 2). And binary counter CT(sub 2) delivers the output to circuit N(sub 1) after counting the pulse of frequency f(sub 1) by the fixed times. Thus, the output corresponding to frequency f(sub 1) and f(sub 2) applied to AND circuit A(sub 1) and A(sub 2) via FF(sub 2) is obtained through the OR circuit. Here, the NH of even-number times as much as the H period of the original TV video signal is defined a one horizontal display period, and the coding signals of one horizontal period obtained through sampling every HN/M are applied to each picture element signl for display. Thus, the resolution of the TV video signals can be increased.

Best Available Copy

## 12 公開特許公報 (A)

昭54-137232

SI Int. Cl.<sup>2</sup>

識別記号

52 日本分類

庁内整理番号

43 公開 昭和54年(1979)10月24日

H 04 N 3 12

97(5) F 32

6246-5C

G 06 K 15-18

1 0 1

97(7) B 4

7629-5B

発明の数 1

審査請求 有

(全 5 頁)

54 マトリックスディスプレイ装置

12 発 明 者 米井博

守口市京阪本通 2 丁目18番地

三洋電機株式会社内

21 特 願 昭53-73568

22 出 願 昭53(1978)4月14日

11 出 願 人 三洋電機株式会社

62 特 願 昭53-45518の分割

守口市京阪本通 2 丁目18番地

## 明 細 書

1. 発明の名称 マトリックスディスプレイ装置

2. 特許請求の範囲

(1) 原テレビジョン映像信号の 1 水平走査期間  $H$  の偶数倍の期間  $NH$  (但し  $N$  は正の整数) を 1 水平表示期間とし、表示すべきマトリックスパネルの 1 水平ラインの各絵素を形成する各発光素子に、前記映像信号を  $\frac{N}{M}H$  (但し  $M$  は  $N$  未満の正の整数) 毎にサンプリングして得た 1 水平走査期間の符号化信号を同時に印加すべく構成したマトリックスディスプレイ装置。

3. 発明の詳細な説明

本発明は、マトリックスディスプレイ装置に係り、特に原テレビジョン映像信号の 1 水平走査期間  $H$  の偶数倍の期間  $NH$  を 1 水平表示期間として映像表示すべきマトリックスパネルの 1 水平ラインの各絵素を形成する各発光素子に、同時に対応する原映像を  $\frac{N}{M}H$  (但し  $M$  は  $N$  未満の正整数) 毎にサンプリングして得た 1 水平走査期間の符号化信号を印加して表示すべく構成したマトリックス

ディスプレイ装置において解像度を向上することを主目的とするものである。

LED、液晶或は放電セル、若しくは放電セルと蛍光体との組み合わせで形成される単位発光絵素で構成されるマトリックスパネルを用いて映像信号を表示する場合、各絵素の輝度を表示する発光素子に、そのパルス巾が当該絵素の階調に比例するパルス巾変調(以下 PWM と称す)信号を印加する方法が用いられる。そして、マトリックスパネルの走査方式としては、十分な輝度を確保すべく、一ライン(一水平走査線)を形成すべき各発光素子に同時に各対応の PWM 信号を印加し、一ラインを単位として順次垂直方向に走査する方法が採られる。斯る点につき、今少し説明すると、例えば、TV 映像信号において、黒レベルから最高輝度(白レベル)に至る信号に対する階調数を、16 とし、映像信号を 4 ビット単位で AD 変換し、該デジタル出力(4 ビット)を変調入力として PWM 回路に加え、原信号の階調に近似的に比例するパルス巾を持つ PWM 信号を得る構成を一つの

単位として、1ラインの発光素子群に対応する数だけ設け、当該ライン情報を形成する原信号の各発光素子に対応する線画の階調に相当するPWM信号を、その1ラインの該当する発光素子に同時に印加し、順次垂直方向に発光せしめるものである。

次に第1図の回路図を参照しつつ、本発明装置に用いるPWM電圧回路の一例につき説明する。この回路は、大別して、ダウンカウンタDoとRSフリップフロップ的で構成され、該フリップフロップ的を、垂直定数パルスの前段のアリセットパルスPでセットし、前記ダウンカウンタDoのボロウ(BORROW)出力でリセットすることによって上記フリップフロップ的からPWM出力を取り出す構成となっている。前記ダウンカウンタDoは、上記マトリックスパネルで表示すべき映像信号の、4ビットAD変換出力をアリセット入力とし、上記アリセットパルスPをリセット或はスタート信号として、クロックパルスCPをダウンカウントする構成となっている。

を等間隔として、TV映像信号をマトリックス表示する際の光入力対光出力の関係が、正規化して、第2図の如くであるとし、補正すべき信号電圧(各発光素子で表示さるべき原信号の相対値)対PWMパルス巾(細度)の相対値曲線が、第3図、一点鎖線図示の如くであるとする。

以下の説明の便宜上、斯る補正曲線を、2つの直線L<sub>1</sub>、L<sub>2</sub>で形成される折線で近似するものとする。マトリックスパネルを構成するLED等の発光素子の光電特性は、略直線的であることを考慮して、第3図において、信号レベル7の時、PWMパルス巾が、3に相当するようにするために、まずパルス巾3(相対値)を7等分する。次に信号レベル(相対値)7乃至15までの8区間については、該当するパルス巾(15-3)=12、を8等分する。而して、クロックパルスCPに代るものCP'として、アリセットパルスP投入後、 $\frac{1}{15}$ の割合で決まる区間については、初期の短いパルスが7個続き、その後の $\frac{12}{15}$ 区間については、周期の長いパルスが8個続くような周期可変クロ

ところで、上述の如く、マトリックスパネルを構成する各線画相当の発光素子は、入力対光出力特性が直線性を持っており、それ故、TV映像信号の如く予め逆像側で補正されている信号を、そのまゝ上述の如くPWM信号に変換して各発光素子に印加し、マトリックス表示を行ったのでは、再生(表示)映像の直線性が極端に悪くなるという欠点を余儀なくされる。

本発明は、斯る点に鑑み、上述の如きPWM電圧回路に入力されるクロックパルスの周期を等間隔とせず、原信号の階調に従って、上述の如き非直線性を補正する曲線に近似した折角を形成する個々の直線の勾配に従って変え、結果的に、LED等で構成されるマトリックスパネルの電気入力対光出力特性をCRT(ブラウン管)のそれに近似せしめることに依って直線性のよい映像を再現し得べく構成したものである。

以下、本発明の詳細を、更に第2図乃至第5図を参照しつつ説明する。

いま、PWM回路に入力するクロックパルスCP

ックパルスを使用すればよい。

例えば、一ライン区間(期間)を $H=6.35\mu\text{sec}$ とすると、上記クロックパルスの最初の7等分のパルス列のところは、 $\frac{3}{15} \times \frac{1}{7} \times H = 1.81\mu\text{sec}$ の周期、即ち $f_1=551\text{KHz}$ のパルス、後続する8等分のパルス列のところは、 $\frac{12}{15} \times \frac{1}{8} \times H = 6.35\mu\text{sec}$ 、即ち $f_2=157\text{KHz}$ の様に形成すればよい。

次に、斯るクロックパルス列を発生するための一実施回路例を表わす第4図及び該部動作波形を示す第5図について説明する。

第4図の実施回路において、図番 $f_1$ は、アリセットパルス $P_1$ のインバート出力でトリガされ、 $f_1=551\text{KHz}$ で発振する第1ゲートド発振回路、 $f_2$ は、後述するNAND回路( $N_1$ )の出力でトリガされ、 $f_2=157\text{KHz}$ で発振するゲートド発振回路を示し、CTは、前記第1ゲートド発振回路 $f_1$ の出力をカウントするバイナリカウンタを、 $N_1$ は、該カウンタ出力を入力とするNAND回路、 $P_2$ は、上記アリセットパルス $\bar{P}_1$ でセットされ、前記NAND回路( $N_1$ )の出

力でリセットされるように一対のNAND回路(N1)、(N2)で組み合わせ構成されるフリップフロップ回路(F1)は、上記第2ゲート駆動回路f2の出力f2及び前記第2NAND回路(N2)の出力を入力とする第2AND回路(A1)は、前記第1ゲート駆動回路f1の出力f1及び前記フリップフロップ回路F1の他の出力、即ち第3NAND回路(N3)の出力を2入力とする第1AND回路(A2)は、前記第1、第2AND回路(A1)、(A2)の出力を入力とするOR回路を夫々示す。

斯る構成において、いま、表示すべき映像信号中の垂直走査パルスの前段のアリセットパルスP1で、前記第1ゲート駆動回路f1がオンとなると、上記バイナリカウンタCTは、その発振出力の計数を開始し、f1のパルスが7個に達すると、図4の①、②、③の出力に夫々「1」出力を生ずる。同時に上記3入力第1NAND回路(N1)出力P1が生じ、既に上記アリセットパルスP1でセットされているフリップフロップ回路(F1)をリセッ

トする。前記第1NAND回路(N1)の出力P1は、同時に上記第2ゲート駆動回路f2をオンさせる。最初の7個のパルスまでは、第1AND回路(A1)が、伝送する8個のパルス列区間は第2AND回路(A2)が夫々出力を生じ、各々f1、f2出力をOR回路に加え、併せて、図5図CPの如き、上記折線の補正曲線を生成すべき、(第5図参照)クロックパルスを生ずる。従って、斯るクロックパルスを、第1図に例示せる如く、PWM変調回路のクロックパルスとして用い、該PWM出力にてマトリックス発光素子を駆動すれば、その光入力対出力特性を略直線的に補正できる。

上述の例では、補正曲線を2つの直線L1及びL2で近似したが、3つの直線或はそれ以上の直線で形成される折線で近似することも可能で、より多数の直線で形成することにより、折線を補正曲線により近似し得ることは明らかであろう。因みに、3つの直線を用いる場合につき説明すると、いま、正規化して、第2図に依じて表わした補正曲線を第6図L2とすると、信号電圧(相対値)

の区間T1、T2及びT3に対応するPWM信号のパルス巾(線度、相対値)は夫々、 $0 \sim \frac{1}{16}$ 、 $\frac{1}{16} \sim \frac{15}{16}$ 及び $\frac{15}{16} \sim 1$ 、クロックパルスの対応周波数は、夫々 $f_{T1}=228\text{KHZ}$ 、 $f_{T2}=\frac{1}{15}f_{T1}$ 、 $f_{T3}=\frac{1}{15}f_{T2}$ となる。次に、見かけ上の解像度を向上する方法につき説明する。この種のマトリックスパネルに於いては、技術的或はコスト的要因から検査を十分に採らない場合が多く、従って、情報の内容に依っては解像度が不足する。斯る点につき、第7図の動作波形図を参照しつつ説明する。同図は、映像信号4H相当分を1ラインとした場合のPWM回路(第1図参照)のタイムチャートを示したもので、4H相当の走査パルスS01の前段で、直前の1H分の映像信号をサンプリングパルスSPでサンプリングした時にAD変換して上記第1図図示の如きPWM回路のAD信号入力(アリセット入力)端子に入力し、4H走査区間中にAD変換に必要な断間数(例、4ビット、15断間、5ビット31断間)のパルスが在るように測定し、PWM変調用のクロックパルスCPとし、アリセッ

トパルス(ロードパルス)P1の導入によってPWM出力を得ている。同タイムチャートから自明の如く、斯る方式では映像(アナログ)信号が4Hに一回しかサンプリングされず、従って解像度も(垂直方向)1/4となってしまう。

斯る欠点を改善すべく、表示、即ち発光素子配列は4Hであっても、映像信号のサンプリングは、2H毎に行う。即ち、第7図と対比的に図示せる第8図のタイムチャートを参照して明らかな如く、サンプリングパルスSPを2H毎に発生せしめ、(ロードパルス)アリセットパルスP1の周期を2Hとするとともに、クロックパルスの周期として、2Hの走査期間にADに必要な断間数のパルスが存在する如く選定し、結果的に、マトリックスパネルの一ラインを構成する各検査対応の発光素子を、対応するPWM出力で2度駆動するように構成する。このような構成に依って、見掛け上の解像度が向上し、特に斜めの線を含む情報の解像度が上がることになる。

上述の説明では、1水平表示期間が4Hの場合

において、サンプリングパルスを2H毎に発生せしめ、原映像信号を2H毎にサンプリングしてPWM符号化してマトリックスパネルの1水平ラインを発光駆動する例について説明したが、これを一般に、1水平表示期間がNHのマトリックスパネルを駆動するに際し、サンプリングパルスを $\frac{N}{M}$ H毎に発生せしめ、原映像信号を $\frac{N}{M}$ H毎にサンプリングして、表示すべき各検査相当信号を個々にPWM符号化してマトリックスパネルの1水平ラインを構成する各対応の発光素子に印加してNH期間にM回駆動し発光表示するようにし得ることは周知の如くである。本発明に依れば、原テレビジョン映像信号をマトリックスパネルにて表示するに際し、1水平ラインの発光素子群を表示区毎に1Hの間合で原映像信号をサンプリングして得た符号化した出力ではなく、1表示区間にM回の間合でサンプリングした各1水平走査期間中に符号化した各対応検査情報信号のPWM出力で、1表示区間にM回駆動すべく構成したので解像度を損うことなく表示することができる。また更に、P

WM電流源のクロックパルスを置き換えて、LED等の発光素子で構成されるマトリックスパネルの駆動(信号)電圧対駆動(PWMパルス巾)特性をCRTの光電特性に近似し得るので、マトリックスパネルの表示映像の直線性が向上し、自然な輝度レベルに近い再生映像を得ることが出来る。

#### 4. 図面の簡単な説明

第1図は、PWM駆動回路の一例、第2図は通常のマトリックスパネルをPWM信号で駆動し映像信号(情報)を表示した場合における光入力対光出力特性図、第3図は直線性補正に必要な曲線及び近似折線を表わす図、第4図はクロックパルス発生回路の実施例、第5図はクロックパルス発生回路の動作波形図、第6図は他の実施例における補正曲線図、第7図及び第8図は、それぞれPWM回路の動作波形図を表わすものである。

(f1): 第1ゲート駆動回路、(f2): 第2ゲート駆動回路、CT1: バイナリーカウンタ、F1: フリップフロップ回路、A1:

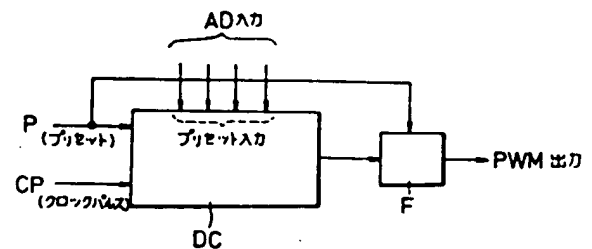
第1AND回路、A2: 第2AND回路

特許出願人

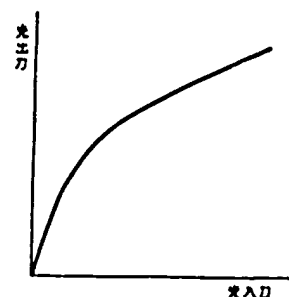
三洋電機株式会社

代表者 井 崎 誠

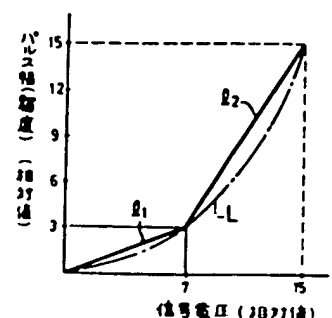
第1図



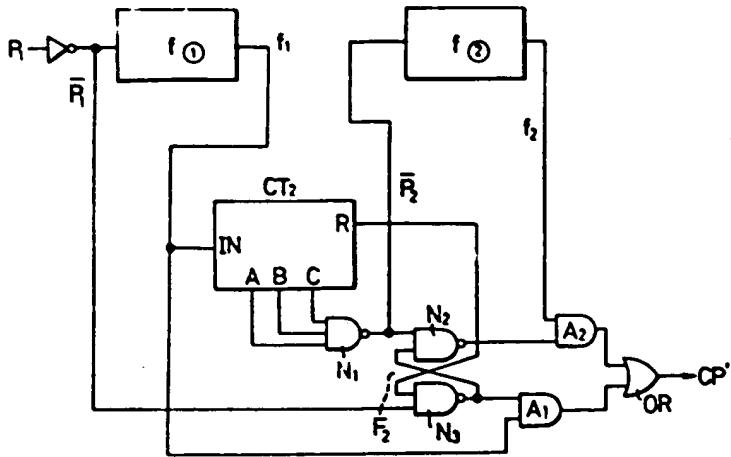
第2図



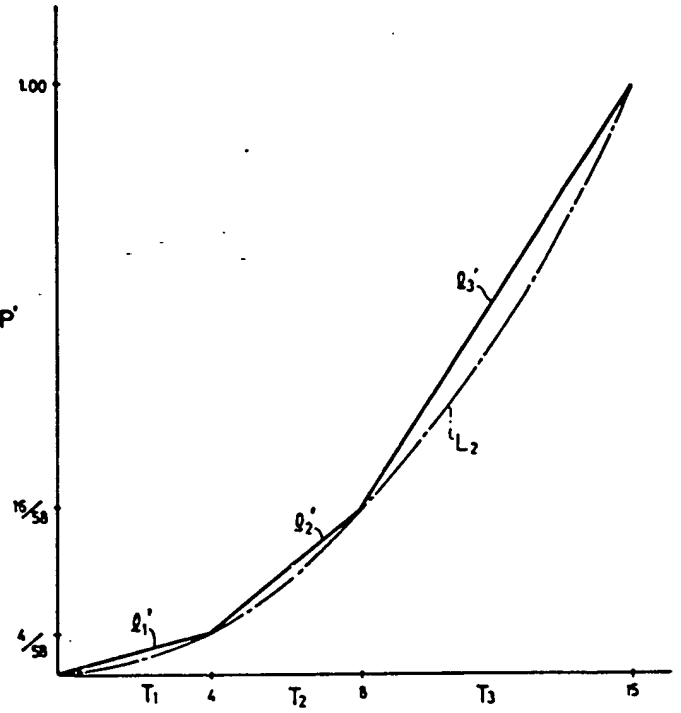
第3図



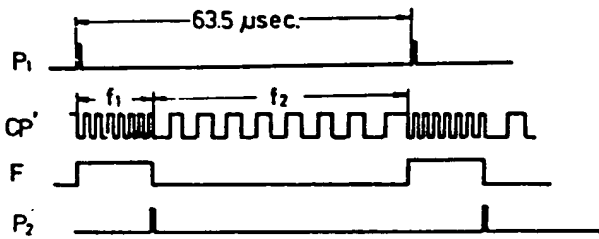
第4図



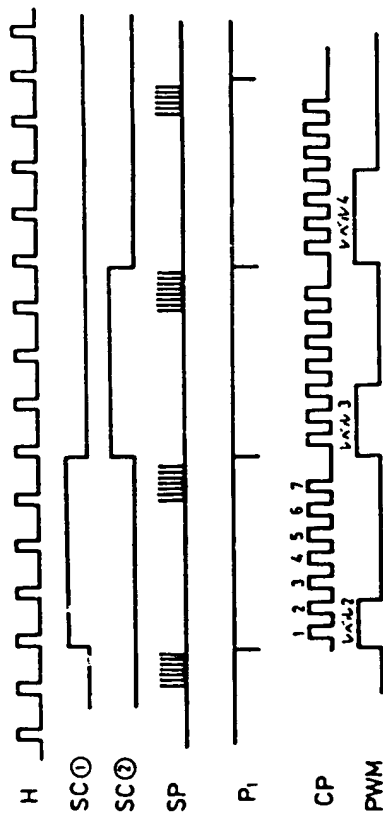
第6図



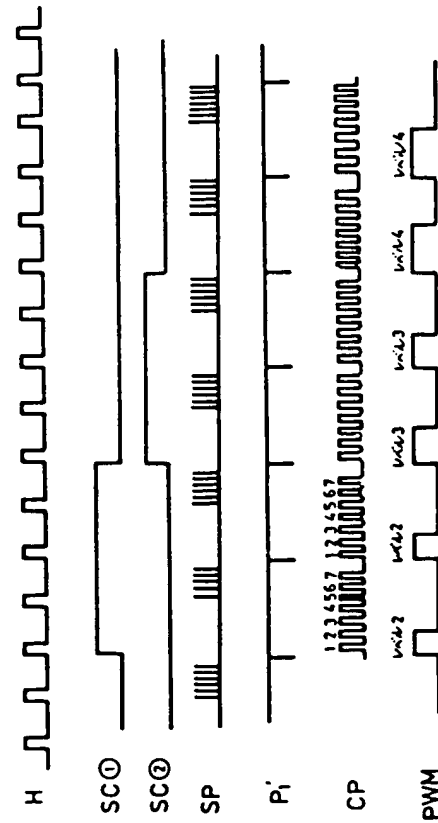
第5図



第7図



第8図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.